

集成电路 EDA 设计精英挑战赛

组 织 委 员 会

2022第四届集成电路EDA设计精英挑战赛 验收评比工作安排

一、原则

竞赛验收采用匿名制，以参赛队 ID 作为参赛队唯一标识。参赛队不得在任何场合透露该 ID 与参赛学校、队员姓名、指导老师之间的联系。

竞赛评比验收在竞赛专家委员会指导下开展工作，所有工作接受组织委员会和专家委员会监督，确保公平公正公开。

二、重要时间

11月10日：技术报告提交，截止时间 17:00

11月11日-11月15日：初赛评审

11月16日：作品上传，关闭参赛队服务器访问通道，
截止时间 17:00

11月17日-11月26日：复赛技术评审

11月27日-11月28日：技术验收成绩公示

12月2日：参赛队报到

12月3日-12月4日：决赛现场答辩，颁奖典礼

（备注：总决赛具体举办形式将另行通知）

三、技术报告

技术报告要求见官网已公布的“作品设计报告要求”，包括组委会的统一要求及各赛题的补充要求。各赛题如有报告要求之外的更进一步要求，可在赛题群以群公告的形式补充，视为与“作品设计报告要求”中同等要求。

技术报告提交截止时间为11月10日17:00，未按时提交报告的参赛队视为放弃参赛资格。

四、初评

初评由组委会指定的专家完成，包括企业命题专家和高校相关领域的专家。初评以参赛队提交的作品报告为唯一依据，评价标准参考赛题指南。

五、赛题完善与材料提交

技术报告提交后，参赛队可以在服务器访问通道关闭前继续完善赛题，改进的成果可以在决赛答辩PPT中补充展示。

建议参赛队充分利用这一段时间，与验收专家确认赛题成果的可验收性，保证赛题顺利验收。通道关闭后，除验收专家主动要求，原则上不再向参赛队开放服务器访问权限。

服务器上提交的材料，以具体通知为准，但请参赛队务必注意以下几点：

● 须再次核对服务器地址及参赛 ID，以免提交出错，服务器地址如下图；参赛 ID 可登录核对

<https://eda.icisc.cn/user/queryPawwordInfo>;

赛题号	赛题	服务器地址
1	动态组网迭代划分算法设计（数字集成电路设计方向）	10.100.2.14
2	Verilog 中 case 功能的综合优化	10.100.2.12
3	高位宽运算电路的逻辑等价性验证	124.70.202.251
4	多实例化分布布图下的顶层布线	10.100.2.11
5	数字集成电路动态功耗优化策略分析与评估	10.100.2.16
6	大规模电源地网络瞬态仿真的分布式并行加速	地址 1: 121.36.243.84 地址 2: 123.60.27.107 地址 3: 124.71.163.181 地址 4: 123.60.90.255
7	感知物理信息的智能化时序估算模型	10.100.2.13
8	AI-Based 的智能版图拼接	124.71.190.100
9	面向 TCAD 仿真的通用器件模型算法和实现	123.60.49.204

● 须及时在本地做好数据备份，以避免服务器系统升级、故障维修以及其他不可抗力因素造成的数据丢失，影

响竞赛成绩；

- 如果提交的是源代码，须保证代码可在赛题指定服务器上，用赛题提供的环境（包括编译器和库文件）编译通过并可正确执行；

- 如果提交的是可执行程序，须保证是在赛题指定服务器上，用赛题提供的环境（包括编译器和库文件）编译生成的版本，并保证可复现编译过程，经抽查不可复现的视为无效提交；

- 须严格按照赛题具体要求撰写 README（或赛题指定的说明文件）文件（赛题无要求的，亦需撰写），保证按说明文件可正确获得赛题结果，无法获得结果的，视为无效提交。

六、技术验收

服务器通道关闭后，技术专家（由命题专家或命题专家指定）依据赛题指南要求的标准打分，该分数作为参赛队成绩的重要依据。

如专家认为有需要，可临时向参赛队开放服务器访问以辅助验收，参赛队严格按照专家指令配合验收。

七、决赛答辩

决赛答辩为现场答辩，参赛队提前准备 PPT，全员参加。

每组答辩时间约 15 分钟（以后续通知为准），包括赛题成果介绍和专家质询回应。

八、知识产权

参赛作品（不含赛题已经提供的材料及第三方材料）的知识产权归参赛队所有，技术报告（含 PPT 等介绍性资料）的出版展示权利由参赛队和组委会共享。

任何人在未经参赛队同意的前提下，不得以泄露、拷贝等任何形式侵害参赛队的权利。

组委会鼓励企业与参赛队以项目合作、技术收购、人才招募等形式开展产学研合作，组委会可在法律允许的前提下提供相应支持。

集成电路 EDA 设计精英挑战赛组织管理委员会

